

Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) EP 0 788 165 A2

(12)

## EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:  
06.08.1997 Patentblatt 1997/32

(51) Int. Cl.<sup>6</sup>: H01L 27/112

(21) Anmeldenummer: 96119225.9

(22) Anmeldetag: 29.11.1996

(84) Benannte Vertragsstaaten:  
DE FR GB IT

(30) Priorität: 02.02.1996 DE 19603810

(71) Anmelder: SIEMENS AKTIENGESELLSCHAFT  
80333 München (DE)

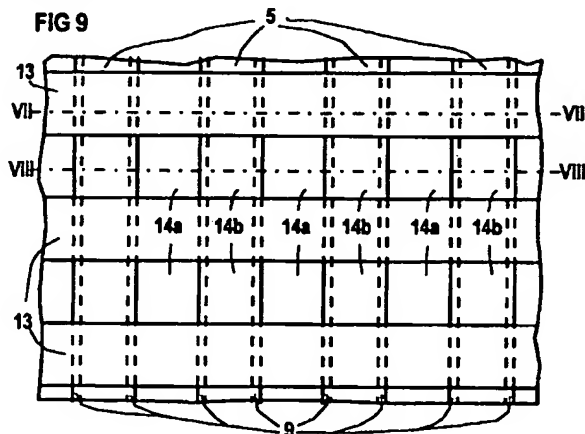
(72) Erfinder:

- Rösner, Wolfgang, Dr.  
81739 München (DE)
- Krautschneider, Wolfgang, Dr.  
83104 Hohenthann (DE)
- Hofmann, Franz, Dr.  
80995 München (DE)

### (54) Speicherzellenanordnung und Verfahren zu deren Herstellung

(57) Eine Speicherzellenanordnung umfaßt erste Speicherzellen mit planaren MOS-Transistoren und zweite Speicherzellen mit vertikalen MOS-Transistoren. Die planaren MOS-Transistoren (14a, 13, 14a; 14b, 13, 14b) sind dabei am Boden von und auf der Krone von parallelen, streifenförmigen Gräben (5) angeordnet. Die

vertikalen MOS-Transistoren (14a, 9, 14b) sind an den Seitenwänden der Gräben (5) angeordnet. Die Speicherzellenanordnung ist mit einem mittleren Flächenbedarf pro Speicherzelle von 1 F<sup>2</sup> (F: minimale Strukturgröße) herstellbar.



EP 0 788 165 A2

## Beschreibung

Zur Abspeicherung großer Datenmengen, zum Beispiel für DV-Anwendungen oder zur digitalen Abspeicherung von Musik oder Bildern, werden derzeit hauptsächlich Speichersysteme mit mechanisch bewegten Teilen wie zum Beispiel Festplattenspeicher, Floppy-Disks oder Compact-Disks verwendet. Die bewegten Teile sind mechanischem Verschleiß unterworfen. Ferner benötigen sie vergleichsweise viel Volumen und erlauben nur einen langsamen Datenzugriff. Da sie darüber hinaus erschütterungs- und lageempfindlich sind und einen vergleichsweise hohen Energieverbrauch zu ihrem Betrieb haben, sind diese Speichersysteme in mobilen Systemen nur begrenzt einsetzbar.

Zur Speicherung kleinerer Datenmengen sind Festwertspeicher auf Halbleiterbasis bekannt. Vielfach werden diese als planare integrierte Siliziumschaltung realisiert, in der als Speicherzellen MOS-Transistoren verwendet werden. Die Transistoren werden über die Gateelektrode, die mit der Wortleitung verbunden ist, ausgewählt. Der Eingang des MOS-Transistors ist mit einer Referenzleitung verbunden, der Ausgang mit einer Bitleitung. Beim Lesevorgang wird bewertet, ob ein Strom durch den Transistor fließt oder nicht. Entsprechend werden die logischen Werte Null und Eins zugeordnet. Technisch wird die Speicherung von Null und Eins dadurch bewirkt, daß in Speicherzellen, in denen der dem Zustand „kein Stromfluß durch den Transistor“ zugeordnete logische Wert gespeichert ist, kein MOS-Transistor hergestellt wird oder keine leitende Verbindung zur Bitleitung realisiert wird. Alternativ können für die beiden logischen Werte MOS-Transistoren realisiert werden, die durch unterschiedliche Implantationen im Kanalgebiet unterschiedliche Einsatzspannungen aufweisen.

Diese Speicher auf Halbleiterbasis erlauben einen wahlfreien Zugriff auf die gespeicherte Information. Die zum Lesen der Information erforderliche elektrische Leistung ist deutlich kleiner als bei den erwähnten Speichersystemen mit mechanisch bewegten Teilen. Da keine bewegten Teile erforderlich sind, entfällt hier auch der mechanische Verschleiß und die Empfindlichkeit gegenüber Erschütterungen. Speicher auf Halbleiterbasis sind daher auch für mobile Systeme einsetzbar.

Die beschriebenen Siliziumspeicher weisen einen planaren Aufbau auf. Damit wird pro Speicherzelle ein minimaler Flächenbedarf erforderlich, der im günstigsten Fall bei  $4 F^2$  liegt, wobei  $F$  die in der jeweiligen Technologie kleinste herstellbare Strukturgröße ist.

Aus US-PS 4 954 854 ist bekannt, in einem Festwertspeicher vertikale MOS-Transistoren zu verwenden. Dazu wird die Oberfläche eines Siliziumsubstrats mit Gräben versehen, an die am Boden ein Sourcegebiet angrenzt, an die an der Substratoberfläche ein Draingebiet angrenzt und entlang deren Flanken ein Kanalgebiet angeordnet ist. Die Oberfläche des Grabens wird mit einem Gatedielektrikum versehen und der

Graben mit einer Gateelektrode aufgefüllt. Null und Eins werden in dieser Anordnung dadurch unterschieden, daß für einen der logischen Werte kein Graben geätzt und kein Transistor hergestellt wird.

Aus DE 42 14 923 A1 ist eine Festwertspeicherzellenanordnung bekannt, deren Speicherzellen MOS-Transistoren umfassen. Diese MOS-Transistoren sind entlang Gräben so angeordnet, daß ein Sourcegebiet an den Boden des Grabens angrenzt, ein Draingebiet an die Oberfläche des Substrats angrenzt und ein Kanalgebiet sowohl vertikal zur Oberfläche des Substrats als auch parallel zur Oberfläche des Substrats an Flanke und Boden des Grabens angrenzt. Die Oberfläche des Kanalgebietes ist mit einem Gatedielektrikum versehen. Die Gateelektrode ist als Flankenbedeckung (Spacer) ausgebildet. Die logischen Werte Null und Eins werden durch unterschiedliche Einsatzspannungen, die durch Kanalimplantation bewirkt werden, unterschieden. Bei der Kanalimplantation treffen die implantierenden Ionen unter einem solchen Winkel auf die Oberfläche des jeweiligen Grabens, daß durch Abschattungseffekte der gegenüberliegenden Flanke gezielt nur entlang einer Flanke implantiert wird.

Der Erfindung liegt das Problem zugrunde, eine Speicherzellenanordnung auf Halbleiterbasis anzugeben, bei der eine erhöhte Speicherdichte erzielt wird, so daß sie als Lesespeicher für große Datenmengen geeignet ist, und die mit wenigen Herstellungsschritten und hoher Ausbeute herstellbar ist. Desweiteren soll ein Verfahren zur Herstellung einer solchen Speicherzellenanordnung angegeben werden.

Dieses Problem wird erfindungsgemäß gelöst durch eine Speicherzellenanordnung gemäß Anspruch 1 sowie durch ein Verfahren zu deren Herstellung gemäß Anspruch 11. Weitere Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

Die erfindungsgemäße Speicherzellenanordnung ist in einem Halbleitersubstrat realisiert. Als Halbleitersubstrat wird vorzugsweise ein Substrat verwendet, das mindestens im Bereich einer Hauptfläche monokristallines Silizium aufweist. Als Halbleitersubstrat ist sowohl eine monokristalline Siliziumscheibe als auch ein SOI-Substrat geeignet.

Die Speicherzellenanordnung weist eine Vielzahl von Speicherzellen auf, die jeweils mindestens einen MOS-Transistor umfassen. Dabei umfassen erste Speicherzellen planare MOS-Transistoren, die in parallel verlaufenden Zeilen angeordnet sind. In der Hauptfläche des Halbleitersubstrats sind im wesentlichen parallel verlaufende, streifenförmige Gräben vorgesehen, die parallel zu den Zeilen verlaufen. Die Zeilen sind abwechselnd am Boden der Gräben und an der Hauptfläche zwischen benachbarten Gräben angeordnet.

Zweite Speicherzellen umfassen zur Hauptfläche vertikale MOS-Transistoren, die jeweils an den Seitenwänden der Gräben realisiert sind.

Die ersten Speicherzellen und die zweiten Speicherzellen unterscheiden sich bezüglich der technologischen Ausführung des MOS-Transistors. Bezüglich der

Speichermöglichkeiten sind die ersten Speicherzellen und die zweiten Speicherzellen jedoch gleichwertig.

Es liegt im Rahmen der Erfindung, die Speicherzellenanordnung bei der Herstellung der Speicherzellenanordnung dadurch zu programmieren, daß die MOS-Transistoren mit unterschiedlichen Schwellenspannungen hergestellt werden. Dieses erfolgt vorzugsweise durch maskierte Kanalimplantation, bei der die Dotierung im Kanalbereich der MOS-Transistoren gezielt verändert wird.

Alternativ werden unterschiedliche Schwellenspannungen der MOS-Transistoren dadurch realisiert, daß die MOS-Transistoren, je nach eingespeicherter Information, unterschiedlich dicke Gatedielektrika aufweisen. Dabei wird ausgenutzt, daß bei einem Unterschied der Dicken der Gatedielektrika um einen Faktor von 10 oder mehr sich die Einsatzspannungen der MOS-Transistoren so deutlich unterscheiden, daß bei Anlegen eines Auswahlsignals mit einem Pegel zwischen beiden Einsatzspannungen der eine MOS-Transistor leitet und der mit dem dickeren Gatedielektrikum nicht leitet.

Soll die Speicherzellenanordnung für Mehrwertlogik eingesetzt werden, so weisen die MOS-Transistoren je nach eingespeicherter Information mehr als zwei unterschiedliche Schwellenspannungen auf.

Es liegt im Rahmen der Erfindung, für die MOS-Transistoren ein Gatedielektrikum aus einem Material mit Haftstellen vorzusehen. Haftstellen, englisch traps, haben die Eigenschaft, Ladungsträger, speziell Elektronen, einzufangen. Zur elektrischen Programmierung werden die MOS-Transistoren so beschaltet, daß der zu speichernden Information entsprechende Ladungsträger in das Gatedielektrikum gelangen und von den Haftstellen festgehalten werden.

Die Programmierung dieser Speicherzellenanordnung erfolgt nach der Herstellung durch Injektion von Elektronen. Dieses kann sowohl durch Fowler-Nordheim-Tunneln als auch durch Hot-Electron-Injection erfolgen. Zur Abspeicherung von Daten in digitaler Form werden die MOS-Transistoren so programmiert, daß sie zwei unterschiedliche Schwellenspannungen aufweisen. Soll die Speicherzellenanordnung für Mehrwertlogik eingesetzt werden, so wird das Gatedielektrikum durch entsprechende Spannungs- und Zeitbedingungen bei der Programmierung so mit unterschiedlichen Ladungsmengen beaufschlagt, daß die MOS-Transistoren je nach eingespeicherter Information mehr als zwei unterschiedliche Schwellenspannungen aufweisen.

Das Gatedielektrikum ist gemäß einer Ausführungsform der Erfindung als Mehrfachsicht ausgebildet, in der mindestens eine Schicht vorgesehen ist, die im Vergleich mit mindestens einer weiteren Schicht in der Mehrfachsicht einen erhöhten Ladungsträgereinfangquerschnitt aufweist. Die Haftstellen sind an der Grenzfläche zwischen beiden Schichten lokalisiert. Vorzugsweise umfaßt die dielektrische Mehrfachsicht eine  $\text{SiO}_2$ -Schicht, eine  $\text{Si}_3\text{N}_4$ -Schicht und eine  $\text{SiO}_2$ -Schicht (sogenanntes ONO). Alternativ kann das Gate-

dielektrikum als Mehrfachsicht aus anderen Materialien, wobei die Schicht mit dem erhöhten Ladungsträgereinfangquerschnitt zum Beispiel aus  $\text{Si}_3\text{N}_4$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$  oder aus  $\text{TiO}_2$  besteht und die benachbarte Schicht aus  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  oder  $\text{Al}_2\text{O}_3$ . Ferner kann die Mehrfachsicht mehr oder weniger als zwei Schichten umfassen.

Alternativ kann das Gatedielektrikum eine dielektrische Schicht, zum Beispiel aus  $\text{SiO}_2$ , umfassen, in die Fremdatome, zum Beispiel W, Pt, Cr, Ni, Pd, Si oder Ir eingelagert sind. Die eingelagerten Fremdatome können durch Implantation, durch Zugabe bei einer Oxidation oder durch Diffusion eingebracht werden. Die eingelagerten Fremdatome bilden in diesem Fall die Haftstellen.

Vorzugsweise sind in der erfindungsgemäßen Speicherzellenanordnung in einer Zeile angeordnete planare MOS-Transistoren in Reihe verschaltet. Miteinander verbundene Source/Drain-Gebiete von entlang einer Zeile benachbarten planaren MOS-Transistoren sind dabei als zusammenhängendes, dotiertes Gebiet ausgebildet. Die beiden Source/Drain-Gebiete jedes der vertikalen MOS-Transistoren sind jeweils mit einem der Source/Drain-Gebiete eines der planaren MOS-Transistoren an der Hauptfläche des Substrats und mit einem der Source/Drain-Gebiete der planaren MOS-Transistoren am Boden der Gräben als zusammenhängendes dotiertes Gebiet ausgebildet.

Werden in dieser Ausführungsform die Gräben mit einer Breite F und einem Abstand F gebildet, wobei F die in der jeweiligen Technologie kleinste herstellbare Strukturgröße ist, und wird die Abmessung der Source/Drain-Gebiete und des Kanalgebiets der planaren MOS-Transistoren in Richtung der Zeilen jeweils entsprechend F gewählt, so sind auf einer Fläche von  $2 F^2$  eine erste Speicherzelle mit einem planaren MOS-Transistor und eine zweite Speicherzelle mit einem vertikalen MOS-Transistor angeordnet. Der mittlere Flächenbedarf pro Speicherzelle beträgt daher  $1 F^2$ . Diese erhöhte Packungsdichte wird dadurch erzielt, daß die vertikalen MOS-Transistoren jeweils an den Seitenwänden der Gräben angeordnet sind und keine zusätzliche Fläche in der Projektion auf die Hauptfläche benötigen. Die entlang benachbarter Zeilen angeordneten planaren MOS-Transistoren sind durch das Kanalgebiet der an der jeweiligen Seitenwand angeordneten vertikalen MOS-Transistoren gegeneinander isoliert.

Gemäß einer Ausführungsform der Erfindung sind eine Vielzahl erster Wortleitungen vorgesehen, die quer zu den Gräben verlaufen und die mit Gateelektroden von entlang unterschiedlichen Zeilen angeordneten planaren MOS-Transistoren verbunden sind. Ferner ist eine Vielzahl zweiter Wortleitungen vorgesehen, die jeweils paarweise in einem der Gräben angeordnet sind. Dabei sind die Gateelektroden von entlang einer der Seitenwände der Gräben angeordneten vertikalen MOS-Transistoren mit einer der zweiten Wortleitungen verbunden. Zwischen je zwei benachbarten vertikalen MOS-Transistoren, die an derselben Seitenwand ange-

ordnet sind, ist eine Isolationsstruktur vorgesehen, die die Ausbildung leitender Kanäle zwischen benachbarten MOS-Transistoren unterdrückt.

Die Isolationsstrukturen sind vorzugsweise als dotiertes Gebiet in der jeweiligen Seitenwand ausgebildet. Die Dotierstoffkonzentration in dem dotierten Gebiet ist dabei so hoch, daß bei Anliegen einer Spannung an der betreffenden Wortleitung der zwischen benachbarten MOS-Transistoren gebildete, parasitäre MOS-Transistor nicht leitet. Alternativ können die Isolationsstrukturen auch als isolierende Spacer, zum Beispiel aus  $\text{SiO}_2$ , gebildet werden.

Die Speicherzellenanordnung kann sowohl mit Enhancement-MOS-Transistoren als auch mit Depletion-MOS-Transistoren realisiert werden. Im Fall von Depletion-MOS-Transistoren werden jedoch im Hinblick auf eine wirksame Leckstromunterdrückung negative Ansteuerspannungen erforderlich. Bei Verwendung von Enhancement-MOS-Transistoren wird eine wirksame Leckstromunterdrückung auch bei Verwendung von positiven Ansteuerspannungen erzielt.

Die Herstellung der erfindungsgemäßen Speicherzellenanordnung erfolgt vorzugsweise unter Einsatz selbstjustierender Prozessschritte, so daß der Platzbedarf pro Speicherzelle reduziert wird.

Zur Herstellung der Speicherzellenanordnung werden in der Hauptfläche des Halbleitersubstrats streifenförmige, parallel verlaufende Gräben geätzt. Die vertikalen MOS-Transistoren werden in den Seitenwänden der Gräben, die planaren MOS-Transistoren am Boden der Gräben und zwischen benachbarten Gräben an der Hauptfläche gebildet.

Vorzugsweise werden quer zu den Gräben verlaufende erste Wortleitungen gebildet. Bei einer nachfolgenden Implantation zur Bildung von Source/Drain-Gebieten für die planaren MOS-Transistoren und für die vertikalen MOS-Transistoren wirken die ersten Wortleitungen als Maske.

Vorzugsweise werden die zweiten Wortleitungen als Spacer aus zum Beispiel dotiertem Polysilizium an den Seitenwänden der Gräben gebildet. Zur Isolation zwischen den ersten Wortleitungen und den zweiten Wortleitungen wird die Oberfläche der zweiten Wortleitungen vor der Bildung der ersten Wortleitungen mit isolierendem Material bedeckt. Dieses erfolgt zum Beispiel durch thermische Oxidation der Oberfläche zum Beispiel bei der Bildung eines Gateoxids oder durch Bildung isolierender Spacer zum Beispiel aus  $\text{SiO}_2$ . Die Verwendung isolierender Spacer zur Isolation zwischen den ersten Wortleitungen und den zweiten Wortleitungen hat den Vorteil, daß die isolierenden Spacer in größerer Dicke und unabhängig von anderen Prozeßparametern wie zum Beispiel der Gateoxidstärke herstellbar sind.

Im folgenden wird die Erfindung anhand eines Beispiels und der Figuren näher erläutert. Die Darstellungen in den Figuren sind nicht maßstabsgetreu.

Figur 1 zeigt ein Substrat nach einer ersten Kanal-

implantation.

Figur 2 zeigt das Substrat nach der Ätzung streifenförmiger Gräben.

Figur 3 zeigt eine Aufsicht auf das Substrat nach Bildung einer ersten Maske und Erzeugung von Isolationsstrukturen in den Seitenwänden der Gräben.

Figur 4 zeigt den in Figur 3 mit IV-IV bezeichneten Schnitt durch das Substrat.

Figur 5 zeigt den in Figur 3 mit V-V bezeichneten Schnitt durch das Substrat. Dieser Schnitt entspricht dem in Figur 2 dargestellten Schnitt.

Figur 6 zeigt den in Figur 4 gezeigten Schnitt durch das Substrat nach Bildung der Gatedielektrika und Gateelektroden für die vertikalen MOS-Transistoren.

Figur 7 zeigt den in Figur 5 dargestellten Schnitt durch das Substrat nach Bildung isolierender Spacer, die die Gateelektroden der vertikalen MOS-Transistoren bedecken, nach Bildung der Gatedielektrika für die planaren MOS-Transistoren und nach Bildung von quer zu den Gräben verlaufenden ersten Wortleitungen.

Figur 8 zeigt den Figur 6 entsprechenden Schnitt durch das Substrat nach Bildung von Source/Drain-Gebieten.

Figur 9 zeigt eine Aufsicht auf das Substrat. Die in Figur 7 und Figur 8 dargestellten Schnitte sind in Figur 9 mit VII-VII bzw. VIII-VIII eingetragen.

Figur 10 zeigt den Figur 8 entsprechenden Schnitt durch das Substrat nach Bildung von Bitleitungskontakten auf die am Boden der Gräben angeordneten Source/Drain-Gebiete.

Figur 11 zeigt ein Schaltungsdiagramm für eine Speicherzellenanordnung mit 3 x 3 Speicherzellenpaaren.

Zur Herstellung einer erfindungsgemäßen Speicherzellenanordnung wird in einem Substrat 1 aus zum Beispiel monokristallinem Silizium zunächst an einer Hauptfläche 2 des Substrats 1 ein Isolationsgebiet erzeugt, das ein Zellenfeld für die Speicherzellenanordnung definiert (nicht dargestellt). Das Isolationsgebiet wird zum Beispiel durch einen LOCOS-Prozeß oder einen STI (Shallow Trench Isolation)-Prozeß gebildet. Das Substrat 1 ist zum Beispiel p-dotiert mit einer

Dotierstoffkonzentration von  $10^{15} \text{ cm}^{-3}$ .

Mit Hilfe eines photolithographischen Verfahrens werden dann Bereiche für Depletion-Kanäle von MOS-Transistoren definiert. Mit Hilfe einer ersten Kanalimplantation mit Arsen mit einer Energie von zum Beispiel 40 keV und einer Dosis von  $4 \times 10^{13} \text{ cm}^{-2}$  werden die Depletion-Kanäle 3 gebildet. Die Ausdehnung der Depletion-Kanäle 3 parallel zur Hauptfläche 2 beträgt  $2 F \times 2 F$ , das heißt bei Verwendung einer  $0,4 \mu\text{m}$ -Technologie zum Beispiel  $0,8 \mu\text{m} \times 0,8 \mu\text{m}$  (siehe Figur 1).

Durch Abscheidung einer  $\text{SiO}_2$ -Schicht in einer Dicke von zum Beispiel 100 nm bis 200 nm mit Hilfe eines TEOS-Verfahrens und anschließende Strukturierung der  $\text{SiO}_2$ -Schicht mit Hilfe photolithographischer Verfahren wird eine Grabenmaske 4 gebildet (siehe Figur 2).

Durch anisotropes Ätzen zum Beispiel mit  $\text{Cl}_2$  werden unter Verwendung der Grabenmaske 4 als Ätzmaske streifenförmige Gräben 5 geätzt. Die Gräben 5 weisen eine Tiefe von zum Beispiel  $0,5 \mu\text{m}$  auf. Die Weite der Gräben 5 beträgt  $F$ , zum Beispiel  $0,4 \mu\text{m}$ , der Abstand benachbarter Gräben 5 beträgt ebenfalls  $F$ , zum Beispiel  $0,4 \mu\text{m}$ . Die Länge der Gräben 5 richtet sich nach der Größe der Speicherzellenanordnung und beträgt zum Beispiel  $130 \mu\text{m}$ .

Die Breite der Depletion-Kanäle 3 wird bei der Ätzung der Gräben 5 auf den Abstand der Gräben 5 eingestellt. Daher ist die Justierung der Grabenmaske 4 relativ zu den Depletion-Kanälen 3 unkritisch.

Anschließend wird mit Hilfe photolithographischer Prozessschritte eine erste Lackmaske 6 gebildet (siehe Figur 3, Figur 4, Figur 5). Die erste Lackmaske 6 weist streifenförmige Öffnungen auf, die senkrecht zu den Gräben 5 verlaufen (siehe Aufsicht in Figur 3). Die Weite der Öffnungen beträgt  $F$ , zum Beispiel  $0,4 \mu\text{m}$ , der Abstand benachbarter Öffnungen beträgt ebenfalls  $F$ , zum Beispiel  $0,4 \mu\text{m}$ . Im Bereich der Öffnungen der ersten Lackmaske 6 werden an den Seitenwänden der Gräben 5 Isolationsstrukturen 7 erzeugt. Die Isolationsstrukturen 7 werden zum Beispiel durch eine gewinkelte Implantation mit Borionen gebildet. Der Winkel bei der Ionenimplantation wird so gewählt, daß nur die Seitenwände innerhalb des Implantationsstrahles liegen und der Boden der Gräben 5 abgeschattet wird. Die Implantation wird dabei von zwei Seiten durchgeführt, so daß an beiden Seitenwänden Isolationsstrukturen 7 gebildet werden. Die Implantation erfolgt zum Beispiel mit Borionen unter einem Winkel von  $15^\circ$ , mit einer Energie von zum Beispiel 25 keV und einer Dosis von  $10^{14} \text{ cm}^{-2}$ .

Alternativ können die Isolationsstrukturen 7 durch Ausdiffusion aus Spacern, die als Diffusionsquelle geeignet sind, gebildet werden. Die Spacer werden zum Beispiel aus bordotiertem Glas durch Abscheidung einer bordotierten Glasschicht und anisotropes Rückätzen an den Seitenwänden der Gräben 5 erzeugt. Anschließend werden sie mit Hilfe einer Lackmaske so strukturiert, daß sie nur an den Bereichen der Seitenwand stehenbleiben, an denen Isolationsstrukturen 7 gebildet werden sollen. Die zur Strukturierung verwen-

dete Lackmaske weist streifenförmige Öffnungen auf, die komplementär zu den Öffnungen der ersten Lackmaske 6 sind.

In einer weiteren Alternative können die Isolationsstrukturen 7 in Form von isolierenden Spacern gebildet werden. Dazu wird zum Beispiel in einem TEOS-Verfahren eine  $\text{SiO}_2$ -Schicht in einer Schichtdicke von zum Beispiel 30 bis 80 nm abgeschieden und anisotrop zurückgeätzt. Mit Hilfe einer Lackmaske, die zu der ersten Lackmaske 6 komplementär ist, werden die Spacer so strukturiert, daß die Isolationsstrukturen 7 entstehen.

Nach Entfernen der ersten Lackmaske 6 wird eine zweite Lackmaske (nicht dargestellt) gebildet. Es wird eine zweite Kanalimplantation durchgeführt, bei der durch eine geneigte Implantation von zum Beispiel Bor mit einer Energie von 25 keV und einer Dosis von zum Beispiel  $5 \times 10^{12} \text{ cm}^{-2}$  in den Seitenwänden der Gräben eine höhere Schwellenspannung erzeugt wird (nicht dargestellt). In diesem Prozessschritt erfolgt die Programmierung der vertikalen MOS-Transistoren.

Nachfolgend wird an den Seitenwänden der Gräben 5 ein Gatedielektrikum 8 zum Beispiel aus thermischem  $\text{SiO}_2$  in einer Schichtdicke von zum Beispiel 5 bis 10 nm gebildet (siehe Figur 6).

Es wird ganzflächig eine dotierte Polysiliziumschicht mit konformer Kantenbedeckung und einer Dicke von zum Beispiel 50 nm gebildet. Die dotierte Polysiliziumschicht ist zum Beispiel  $n^+$ -dotiert. Sie wird durch insitu-dotierte Abscheidung oder durch undotierte Abscheidung und anschließende Dotierung durch Diffusion oder Implantation erzeugt. Durch anisotropes Rückätzen der dotierten Polysiliziumschicht werden an den Seitenwänden der Gräben 5 dotierte Polysiliziumspacer 9 gebildet. Diese Ätzung wird selektiv zum Gatedielektrikum durchgeführt. Die dotierten Polysiliziumspacer 9 verlaufen an den Seitenwänden der Gräben 5 über die gesamte Länge der Gräben 5 (siehe Figur 6 und Figur 7). Zur Reduktion des Schichtwiderstands der dotierten Polysiliziumspacer 9 ist es vorteilhaft, diese mit einer dünnen Metallsilizidschicht zu versehen. Die Metallsilizidschicht wird zum Beispiel durch Reaktion mit Wolfram gebildet. Dabei wird ausgenutzt, daß sich das Wolframsilizid nur auf dem Polysilizium ausbildet, nicht aber auf den von Gatedielektrikum bedeckten Grabenböden und Stegen.

Unter Verwendung einer dritten Lackmaske (nicht dargestellt) wird eine dritte Kanalimplantation durchgeführt. Dabei werden am Boden der Gräben 5 Depletion-Kanäle 10 gebildet. Anschließend wird die dritte Lackmaske wieder entfernt.

Anschließend wird die Grabenmaske 4 durch naßchemisches Ätzen zum Beispiel mit Flußsäure entfernt. Dabei werden auch am Boden der Gräben 5 befindliche Anteile des Gatedielektrikums 8 entfernt. Durch ganzflächige Abscheidung zum Beispiel in einem TEOS-Verfahren und anschließendes, anisotropes Rückätzen einer  $\text{SiO}_2$ -Schicht werden isolierende Spacer 11 gebildet, die die dotierten Polysiliziumspacer 9 vollständig

abdecken (siehe Figur 7 und Figur 8). Die  $\text{SiO}_2$ -Schicht wird in einer Schichtdicke von zum Beispiel 30 bis 80 nm abgeschieden.

Nachfolgend wird ein weiteres Gatedielektrikum 12 zum Beispiel aus thermischem  $\text{SiO}_2$  gebildet. Das weitere Gatedielektrikum 12 ist am Boden der Gräben 5 und an der Hauptfläche 2 zwischen benachbarten Gräben 5 angeordnet. Es weist eine Schichtdicke von zum Beispiel 5 bis 10 nm auf.

Anschließend wird eine Polysiliziumschicht und eine  $\text{SiO}_2$ -Schicht abgeschieden. Die Polysiliziumschicht wird zum Beispiel insitu dotiert abgeschieden oder undotiert abgeschieden und anschließend durch Implantation oder Diffusion zum Beispiel aus der Gasphase dotiert. Die  $\text{SiO}_2$ -Schicht wird zum Beispiel in einem TEOS-Verfahren abgeschieden. Mit Hilfe photolithographischer Verfahren wird aus der  $\text{SiO}_2$ -Schicht eine Hartmaske gebildet (nicht dargestellt). Unter Verwendung der Hartmaske als Ätzmaske wird die dotierte Polysiliziumschicht strukturiert. Dabei werden quer zu den Gräben 5 verlaufende erste Wortleitungen 13 erzeugt (siehe Figur 7). Die Strukturierung der ersten Wortleitungen 13 erfolgt hochselektiv gegen das weitere Gatedielektrikum 12. Vorzugsweise erfolgt diese Strukturierung unter Verwendung eines trockenen Ätzprozesses mit  $\text{HBr}$  und  $\text{Cl}_2$ .

Die ersten Wortleitungen 13 werden so angeordnet, daß sie jeweils oberhalb der Isolationsstrukturen 7 verlaufen. Zur Herstellung der ersten Wortleitungen 13 ist daher eine Justierung bezüglich der Isolationsstrukturen 7 erforderlich.

Nachfolgend wird eine Implantation mit Arsen bei einer Energie von zum Beispiel 80 keV und einer Dosis von zum Beispiel  $5 \times 10^{15} \text{ cm}^{-2}$  durchgeführt, bei der Source/Drain-Gebiete 14a an der Hauptfläche 2 und Source/Drain-Gebiete 14b am Boden der Gräben 5 gebildet werden. Die Source/Drain-Gebiete 14a, 14b weisen eine Tiefe von jeweils 100 nm auf (siehe Figur 8). Nach Bildung der Source-/Drain-Gebiete 14a, 14b wird die Hartmaske entfernt.

Je zwei Source/Drain-Gebiete 14a an der Hauptfläche 2 und der dazwischen an die Hauptfläche 2 angrenzende Teil des p-dotierten Substrats 1 mit oder ohne Depletion-Kanal 3 sowie das darüber angeordnete weitere Gatedielektrikum 12 und der darüber angeordnete Teil der jeweiligen ersten Wortleitung 13 bilden jeweils einen planaren MOS-Transistor. Ebenso bilden je zwei am Boden der Gräben 5 angeordnete Source/Drain-Gebiete 14b sowie der dazwischen an den Boden des Grabens 5 angeordnete Teil des p-dotierten Substrats 1 mit oder ohne Depletion-Kanal 10 sowie das darüber angeordnete weitere Gatedielektrikum 12 und der darüber angeordnete Teil der jeweiligen ersten Wortleitung 13 einen am Boden des Grabens 5 angeordneten, planaren MOS-Transistor. Je zwei an eine Seitenwand des Grabens 5 angrenzende Source/Drain-Gebiete 14a, 14b sowie der dazwischen an die Seitenwand angrenzende Teil des p-dotierten Substrats 1 mit oder ohne Depletion-Kanal bilden mit dem daran angrenzenden

Teil des Gatedielektrikums 8 sowie der dotierten Polysiliziumspacer 9 einen vertikalen MOS-Transistor. Benachbarte planare MOS-Transistoren, die am Boden eines Grabens 5 und an der Hauptfläche angeordnet sind, sind durch das p-dotierte Substrat 1 gegeneinander isoliert. Die dotierten Polysiliziumspacer 9 bilden zweite Wortleitungen, über die die vertikalen MOS-Transistoren angesteuert werden. Die dotierten Polysiliziumspacer 9 sind gegen die ersten Wortleitungen 13 durch die isolierenden Spacer 11 isoliert.

In Figur 9 ist eine Aufsicht auf die in Figur 7 und 8 dargestellten Schnitte dargestellt. In diese Aufsicht wurden als gestrichelte Linien die Lage der dotierten Polysiliziumspacer 9 eingetragen. Die ersten Wortleitungen 13 und die dotierten Polysiliziumspacer 9, die die zweiten Wortleitungen bilden, verlaufen senkrecht zueinander.

In dem Ausführungsbeispiel weisen die Source/Drain-Gebiete 14a, 14b parallel zur Hauptfläche 2 Abmessungen von  $F \times F$  auf. Sie sind unmittelbar nebeneinander angeordnet (siehe Figur 9). Der Abstand zwischen benachbarten Source/Drain-Gebieten 14a, 14b parallel zu den Gräben 5 beträgt ebenfalls  $F$ . Jedes Source/Drain-Gebiet 14a, 14b gehört zwei benachbarten planaren MOS-Transistoren an. Die vertikalen MOS-Transistoren sind in den Seitenwänden der Gräben 5 realisiert und benötigen parallel zur Hauptfläche 2 keine Fläche. Daher beträgt der Flächenbedarf für zwei Speicherzellen, die einen planaren MOS-Transistor und einen vertikalen MOS-Transistor umfassen,  $2F^2$ . Der mittlere Flächenbedarf pro Speicherzelle beträgt daher  $F^2$ .

Zur Fertigstellung der Speicherzellenanordnung wird ganzflächig eine Zwischenoxidschicht 15 erzeugt (siehe Figur 10). Die Zwischenoxidschicht 15 wird in einer Schichtdicke von zum Beispiel 1600 nm gebildet. In der Zwischenoxidschicht 15 werden Kontaktlöcher zu am Boden der Gräben 5 befindlichen Source/Drain-Gebieten 14b geöffnet. Zur Vermeidung von Kurzschlüssen werden die Seitenwände der Kontaktlöcher mit isolierenden Spacern 16 versehen. Die isolierenden Spacer 16 werden zum Beispiel durch Abscheidung einer  $\text{SiO}_2$ -Schicht in einem TEOS-Verfahren in einer Schichtdicke von zum Beispiel 30 bis 80 nm und anisotropes Rückätzen der  $\text{SiO}_2$ -Schicht gebildet. Durch die Spacer 16 werden möglicherweise infolge von Justierfehlern freigeätzte Teile der an der Hauptfläche 2 befindlichen Source/Drain-Gebiete 14a oder der Wortleitungen 13 abgedeckt. Die Kontaktlöcher werden schließlich mit Metallfüllungen 17 aufgefüllt. Dazu wird zum Beispiel eine Metallschicht durch Sputtern oder Aufdampfen aufgebracht und mit Hilfe photolithographischer Prozeßschritte sowie einem Ätzschritt strukturiert. Die Metallfüllungen 17 werden zum Beispiel aus Aluminium oder Wolfram gebildet.

In Figur 11 ist ein Schaltbild für ein Speicherzellenfeld mit  $3 \times 3$  Speicherzellenpaaren dargestellt. Die einzelnen Speicherzellen sind in einer NAND-Konfiguration angeordnet. Mit WL1 sind die ersten

Wortleitungen 13 bezeichnet, die jeweils Gateelektroden von planaren MOS-Transistoren miteinander verbinden. Mit WL2 sind die zweiten Wortleitungen, die durch die dotierten Polysiliziumspacer 9 gebildet werden, bezeichnet, die jeweils Gateelektroden von vertikalen MOS-Transistoren miteinander verbinden. Mit BL sind die Bitleitungen bezeichnet, die durch die jeweils in Reihe verschalteten planaren MOS-Transistoren, die an der Hauptfläche 2 sowie am Boden der Gräben 5 angeordnet sind, realisiert sind. Die Bewertung der planaren MOS-Transistoren erfolgt über die Bitleitungen BL und die jeweiligen ersten Wortleitungen WL1. Die Bewertung der vertikalen MOS-Transistoren erfolgt jeweils zwischen einer benachbarten Bitleitung BL von planaren MOS-Transistoren, die an der Hauptfläche 2 angeordnet sind und dem am Boden des Grabens 5 angeordneten Source/Drain-Gebiet 14b, das über die Metallfüllung 17 auf ein Referenzpotential gelegt wird.

In der beschriebenen Ausführungsform der Erfindung erfolgt die Programmierung der Speicherzellenanordnung bei der Herstellung der Speicherzellenanordnung durch die erste Kanalimplantation, die zweite Kanalimplantation und die dritte Kanalimplantation. Die dabei gespeicherte Information wird über die Anordnung der Öffnungen in den bei den Kanalimplantationen verwendeten Lackmasken eingebracht.

Die zweite Kanalimplantation zur Programmierung der vertikalen MOS-Transistoren kann alternativ nach der Herstellung der ersten Wortleitungen 13 erfolgen. Die zweite Lackmaske wird in diesem Fall oberhalb der Hartmaske, die zur Strukturierung der ersten Wortleitungen 13 verwendet wird, erzeugt. Die Öffnungen überlappen die Hartmaske, so daß die Justierung der zweiten Lackmaske parallel zum Verlauf der Gräben unkritisch ist. Die Depletion-Kanäle in den Seitenwänden der Gräben werden auch in diesem Fall durch schräge Implantation von Bor gebildet. Die Energie bei der Ionenimplantation wird dabei so eingestellt, daß die Borionen durch die dotierten Polysiliziumspacer 9 und das Gatedielektrum 8 hindurch in die Seitenwand der Gräben 5 gelangen. Die Implantation erfolgt zum Beispiel mit einer Energie von 50 keV.

Unterschiedliche Schwellenspannungen der MOS-Transistoren können bei der Herstellung auch durch Bildung unterschiedlich dicker Gatedielektroden der planaren und/oder vertikalen MOS-Transistoren realisiert werden.

In einer weiteren Alternative wird als Gatedielektrum 8 und als weiteres Gatedielektrum 12 ein Material mit Haftstellen verwendet. Das Gatedielektrum 8 und das weitere Gatedielektrum 12 werden zum Beispiel aus einer dielektrischen Mehrfachsicht gebildet, in der mindestens eine Schicht vorgesehen ist, die im Vergleich mit mindestens einer weiteren Schicht in der Mehrfachsicht einen erhöhten Ladungsträgereinfangquerschnitt aufweist. Vorzugsweise umfaßt die dielektrische Mehrfachsicht eine  $\text{SiO}_2$ -Schicht, eine  $\text{Si}_3\text{N}_4$ -Schicht und eine  $\text{SiO}_2$ -Schicht (sogenanntes ONO). Die Schichtdicken in der Mehrfachsicht werden dabei so

bemessen, daß die Mehrfachsicht bezüglich der Gatekapazität einer Schicht aus thermischem  $\text{SiO}_2$  mit einer Dicke von zum Beispiel 10 nm entspricht. Dazu sind für die  $\text{SiO}_2$ -Schichten Schichtdicken von jeweils 4 nm und für die  $\text{Si}_3\text{N}_4$ -Schicht eine Schichtdicke von 4 nm erforderlich.

Werden das Gatedielektrum 8 und das weitere Gatedielektrum 12 aus einem Material mit hoher Haftstellendichte gebildet, so erfolgt die Programmierung der Speicherzellenanordnung nach deren Herstellung durch Injektion von Ladungsträgern, speziell Elektronen, in das Gatedielektrum 8 bzw. das weitere Gatedielektrum 12. Die Ladungsträger können durch Fowler-Nordheim-Tunneln oder Hot-Electron-Injection eingebracht werden. In diesem Fall entfallen die erste Kanalimplantation, die zweite Kanalimplantation und die dritte Kanalimplantation sowie die dabei verwendeten Lackmasken.

Im Hinblick auf eine wirksame Leckstromunterdrückung zwischen den Speicherzellen ist es vorteilhaft, für die planaren MOS-Transistoren und die vertikalen MOS-Transistoren Enhancement-Transistoren zu verwenden. Zur Realisierung der Informationszustände „Eins“ und „Null“ werden die unterschiedlichen Schwellenspannungen zum Beispiel auf 0,5 Volt und 1,5 Volt eingestellt.

## Patentansprüche

### 1. Speicherzellenanordnung,

- bei der an einer Hauptfläche (2) eines Halbleitersubstrats (1) eine Vielzahl von Speicherzellen vorgesehen sind, die jeweils mindestens einen MOS-Transistor umfassen,
- bei der erste Speicherzellen planare MOS-Transistoren umfassen, die in parallel verlaufenden Zeilen angeordnet sind,
- bei der in dem Halbleitersubstrat (1) im wesentlichen parallel verlaufende, streifenförmige Gräben (5) vorgesehen sind, die parallel zu den Zeilen verlaufen,
- bei der die Zeilen abwechselnd am Boden der Gräben (5) und an der Hauptfläche (2) zwischen benachbarten Gräben (5) angeordnet sind,
- bei der zweite Speicherzellen zur Hauptfläche (2) vertikale MOS-Transistoren umfassen, die jeweils an den Seitenwänden der Gräben (5) realisiert sind.

### 2. Speicherzellenanordnung nach Anspruch 1,

- bei der in einer Zeile angeordnete planare MOS-Transistoren in Reihe verschaltet sind,



- bei der die miteinander verbundenen Source/Drain-Gebiete (14a, 14b) von entlang einer Zeile benachbarten planaren MOS-Transistoren als zusammenhängendes dotiertes Gebiet ausgebildet sind, 5
- bei der die beiden Source/Drain-Gebiete (14a, 14b) der vertikalen MOS-Transistoren jeweils mit einem der Source/Drain-Gebiete (14a) eines der planaren MOS-Transistoren an der Hauptfläche (2) des Halbleitersubstrats (1) und mit einem der Source/Drain-Gebiete (14b) der planaren MOS-Transistoren am Boden der Gräben (5) als zusammenhängendes dotiertes Gebiet ausgebildet sind. 10
- 3. Speicherzellenanordnung nach Anspruch 1 oder 2, 15
  - bei der eine Vielzahl erster Wortleitungen (13) vorgesehen ist, die quer zu den Gräben (5) verlaufen und die mit Gateelektroden von planaren MOS-Transistoren verbunden sind, 20
  - bei der eine Vielzahl zweiter Wortleitungen (9) vorgesehen sind, die jeweils paarweise in einem der Gräben (5) angeordnet sind, 25
  - bei der die Gateelektroden der entlang einer der Seitenwände der Gräben (5) angeordneten vertikalen MOS-Transistoren mit einer der zweiten Wortleitungen (9) verbunden sind, 30
  - bei der zwischen je zwei benachbarten vertikalen MOS-Transistoren, die an derselben Seitenwand angeordnet sind, eine Isolationsstruktur (7) vorgesehen ist, die die Ausbildung leitender Kanäle zwischen benachbarten MOS-Transistoren unterdrückt. 35
- 4. Speicherzellenanordnung nach Anspruch 3, bei der die Isolationsstrukturen (7) jeweils als dotiertes Gebiet in der jeweiligen Seitenwand ausgebildet sind. 40
- 5. Speicherzellenanordnung nach einem der Ansprüche 1 bis 4, bei der die MOS-Transistoren je nach in der jeweiligen Speicherzelle eingespeicherter Information unterschiedliche Schwellenspannungen aufweisen. 45
- 6. Speicherzellenanordnung nach einem der Ansprüche 1 bis 4, bei der die MOS-Transistoren ein Gatedielektrikum (8, 12) aus einem Material mit Haftstellen aufweisen. 50
- 7. Speicherzellenanordnung nach Anspruch 6, bei der die MOS-Transistoren als Gatedielektrikum (8, 12) eine dielektrische Mehrfachsicht umfassen mit mindestens einer Schicht, die im Vergleich mit mindestens einer weiteren Schicht einen erhöhten Ladungsträgereinfangquerschnitt aufweist. 55
- 8. Speicherzellenanordnung nach Anspruch 7,
  - bei der die Schicht mit erhöhtem Ladungsträgereinfangquerschnitt mindestens einen der Stoffe  $\text{Si}_3\text{N}_4$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ , oder  $\text{TiO}_2$  umfaßt,
  - bei der die weitere Schicht mindestens einen der Stoffe  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  oder  $\text{Al}_2\text{O}_3$  umfaßt.
- 9. Speicherzellenanordnung nach Anspruch 6, bei der die MOS-Transistoren als Gatedielektrikum (8, 12) eine dielektrische Schicht mit eingelagerten Fremdatomen umfassen, wobei die eingelagerten Fremdatome im Vergleich mit der dielektrischen Schicht einen erhöhten Ladungsträgereinfangquerschnitt aufweisen.
- 10. Speicherzellenanordnung nach Anspruch 9
  - bei der die dielektrische Schicht  $\text{SiO}_2$  umfaßt,
  - bei der die eingelagerten Fremdatome mindestens eines der Elemente W, Pt, Cr, Ni, Pd, Si oder Ir enthalten.
- 11. Verfahren zur Herstellung einer Speicherzellenanordnung,
  - bei dem in einer Hauptfläche (2) eines Halbleitersubstrats (1) mehrere im wesentlichen parallel verlaufende, streifenförmige Gräben (5) geätzt werden,
  - bei dem jeweils am Boden der Gräben (5) und an der Hauptfläche (2) zwischen benachbarten Gräben (5) planare MOS-Transistoren gebildet werden,
  - bei dem an den Seitenwänden der Gräben (5) vertikale MOS-Transistoren gebildet werden.
- 12. Verfahren nach Anspruch 11,
  - bei dem die am Boden der Gräben (5) sowie an der Hauptfläche zwischen benachbarten Gräben (5) angeordneten planaren MOS-Transistoren jeweils in Reihe verschaltet werden,
  - bei dem die miteinander verbundenen Source/Drain-Gebiete (14a, 14b) benachbarter, planarer MOS-Transistoren jeweils als zusammenhängendes, dotiertes Gebiet ausgebildet werden,
  - bei dem die beiden Source/Drain-Gebiete



(14a, 14b) jedes vertikalen MOS-Transistors jeweils mit einem der Source/Drain-Gebiete (14a) eines der planaren MOS-Transistoren an der Hauptfläche (2) des Substrats (1) und mit einem der Source/Drain-Gebiete (14b) der planaren MOS-Transistoren am Boden der Gräben (5) als zusammenhängendes Gebiet ausgebildet werden.

13. Verfahren nach Anspruch 11 oder 12,

- bei dem nach Bildung eines Gatedielektrikums (12) für die planaren MOS-Transistoren mehrere erste Wortleitungen (13) gebildet werden, die quer zu den Gräben (5) verlaufen und die die Gateelektroden der planaren MOS-Transistoren umfassen,
- bei dem eine Ionenimplantation zur Bildung der Source/Drain-Gebiete (14a, 14b) durchgeführt wird, wobei die ersten Wortleitungen (13) maskierend wirken.

14. Verfahren nach einem der Ansprüche 11 bis 13,

- bei dem nach Bildung eines Gatedielektrikums (8) für die vertikalen MOS-Transistoren durch Bildung einer leitfähigen Schicht mit im wesentlichen konformer Kantenbedeckung und anisotropes Rückätzen der leitfähigen Schicht in jedem Graben (5) zweite Wortleitungen gebildet werden, die jeweils entlang einer Seitenwand des Grabens (5) angeordnet sind und die die Gateelektroden der entlang dieser Seitenwand angeordneten vertikalen MOS-Transistoren umfassen,
- bei dem zwischen je zwei benachbarten vertikalen MOS-Transistoren, die an derselben Seitenwand angeordnet sind, eine Isolationsstruktur (7) gebildet wird, die die Ausbildung leitender Kanäle zwischen benachbarten MOS-Transistoren unterdrückt.

15. Verfahren nach Anspruch 14,

bei dem zur Bildung der Isolationsstruktur (7) in der jeweiligen Seitenwand jeweils dotierte Gebiete gebildet werden.

16. Verfahren nach einem der Ansprüche 11 bis 15,

bei dem die MOS-Transistoren je nach eingespeicherter Information mit unterschiedlichen Schwellenspannungen hergestellt werden.

17. Verfahren nach einem der Ansprüche 11 bis 15,

bei dem das Gatedielektrikum (8, 12) der MOS-Transistoren aus einem Material mit Haftstellen gebildet wird.

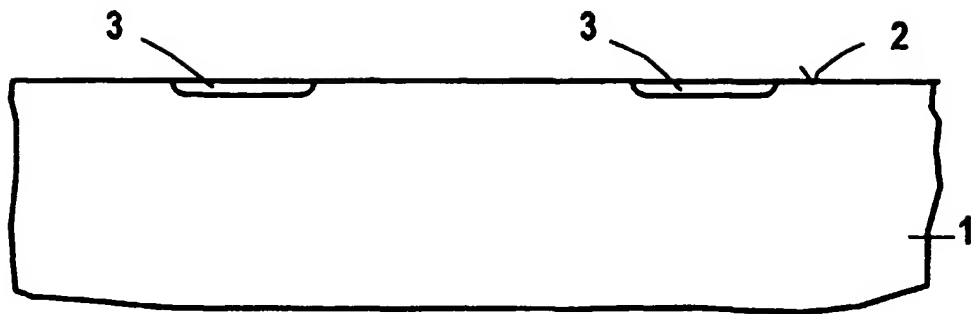
18. Verfahren nach Anspruch 17,

bei dem das Gatedielektrikum (8, 12) als dielektrische Mehrschicht mit mindestens einer Schicht, die im Vergleich mit mindestens einer weiteren Schicht einen erhöhten Ladungsträgereinfangquerschnitt aufweist, gebildet wird.

19. Verfahren nach Anspruch 17,

bei dem das Gatedielektrikum (8, 12) als dielektrische Schicht mit eingelagerten Fremdatomen gebildet wird, wobei die eingelagerten Fremdatome im Vergleich mit der dielektrischen Schicht einen erhöhten Ladungsträgereinfangquerschnitt aufweisen.

**FIG 1**



**FIG 2**

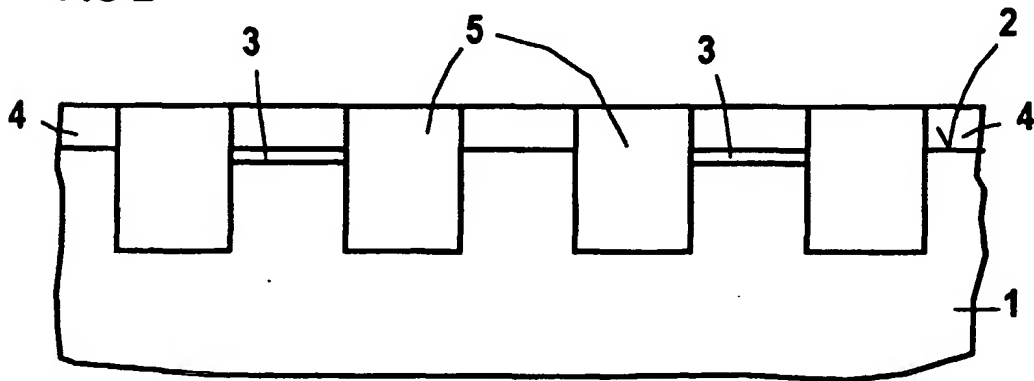


FIG 3

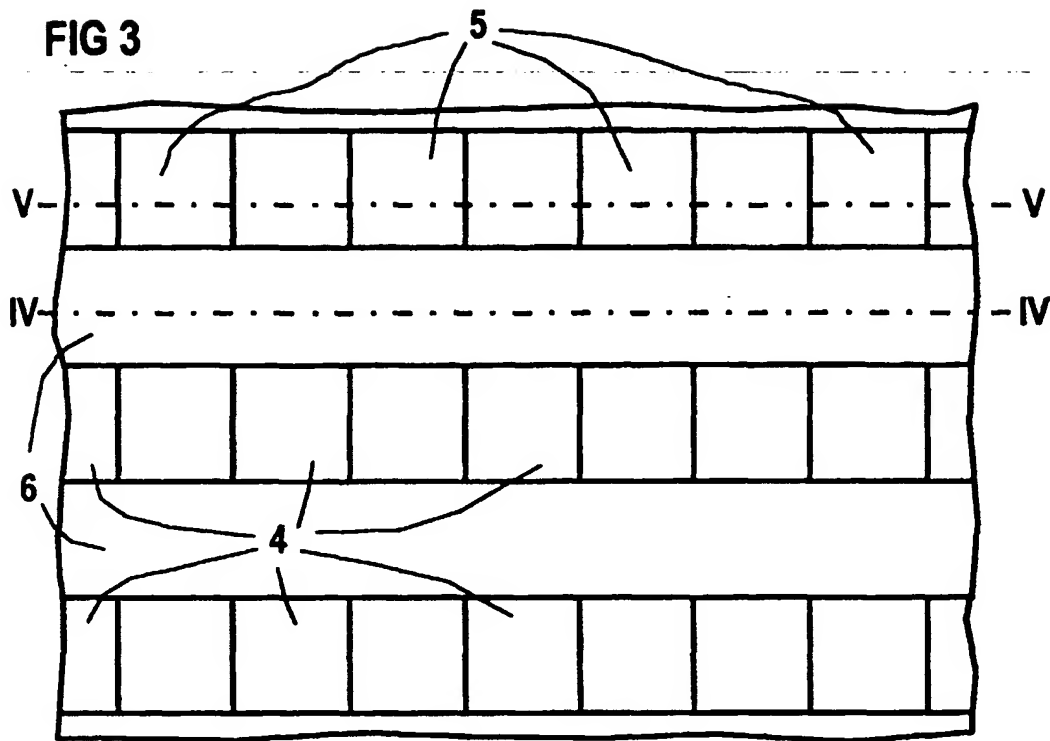


FIG 4

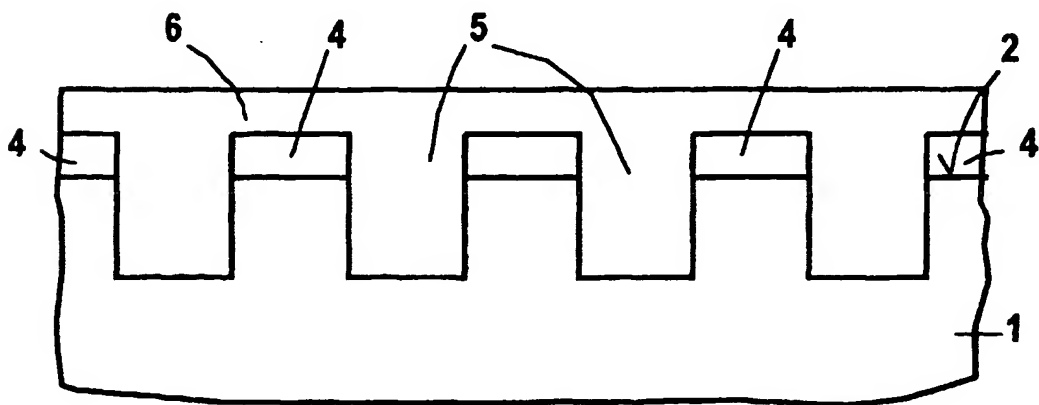


FIG 5

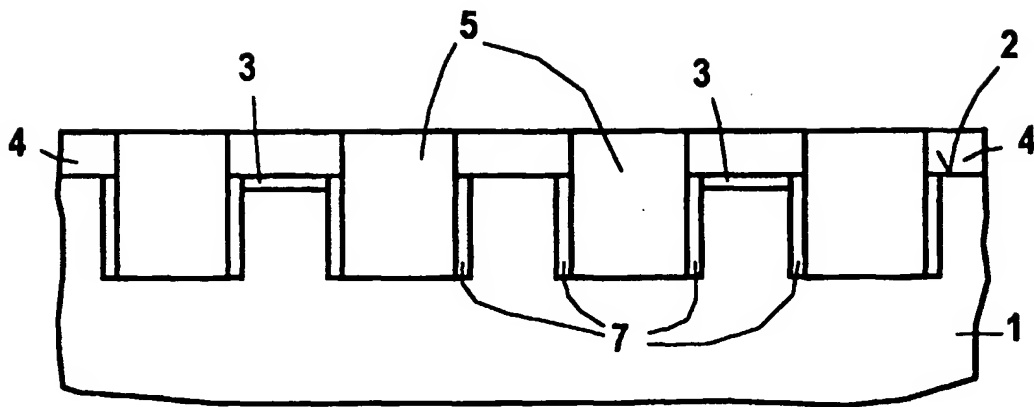


FIG 6

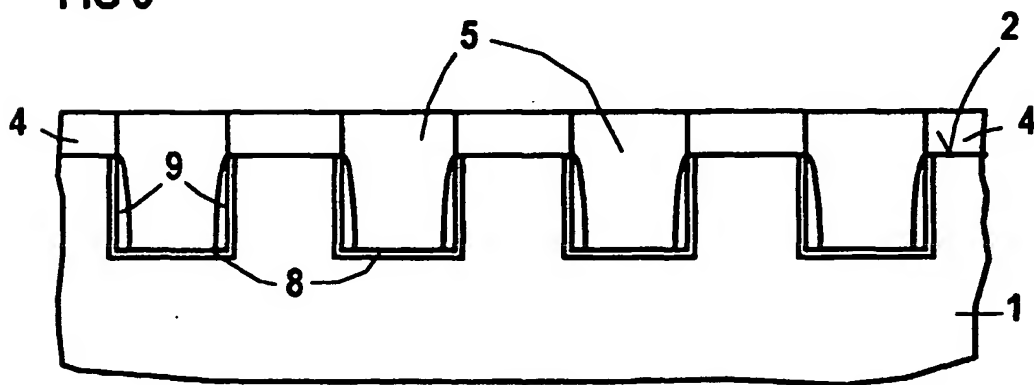


FIG 7

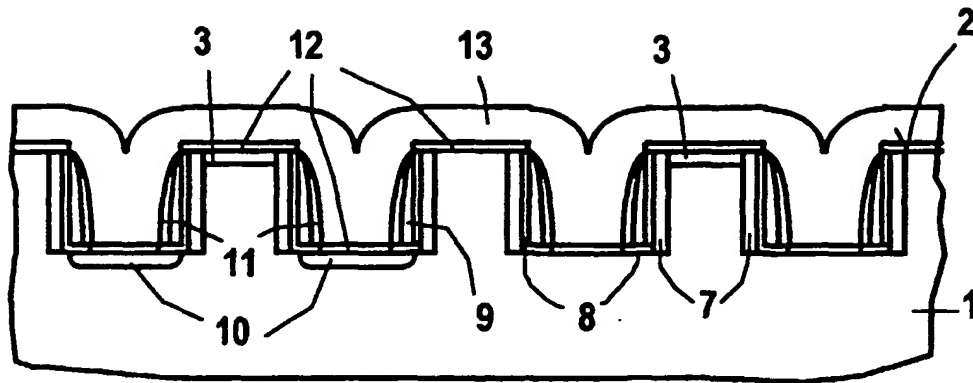
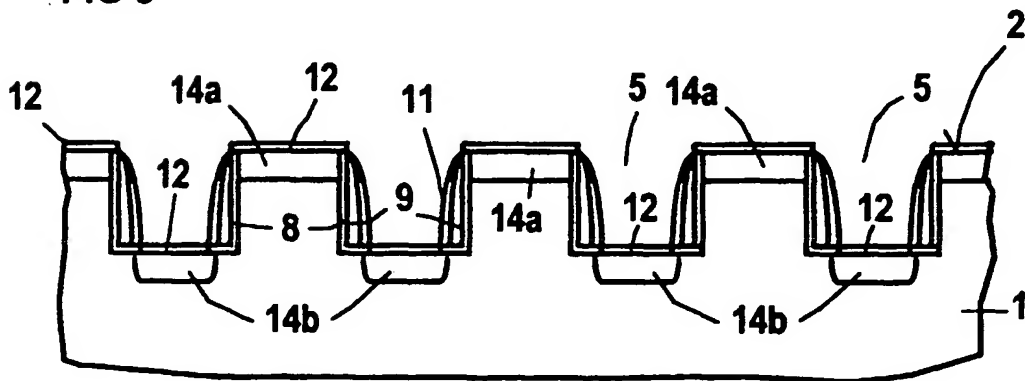


FIG 8



**FIG 9**

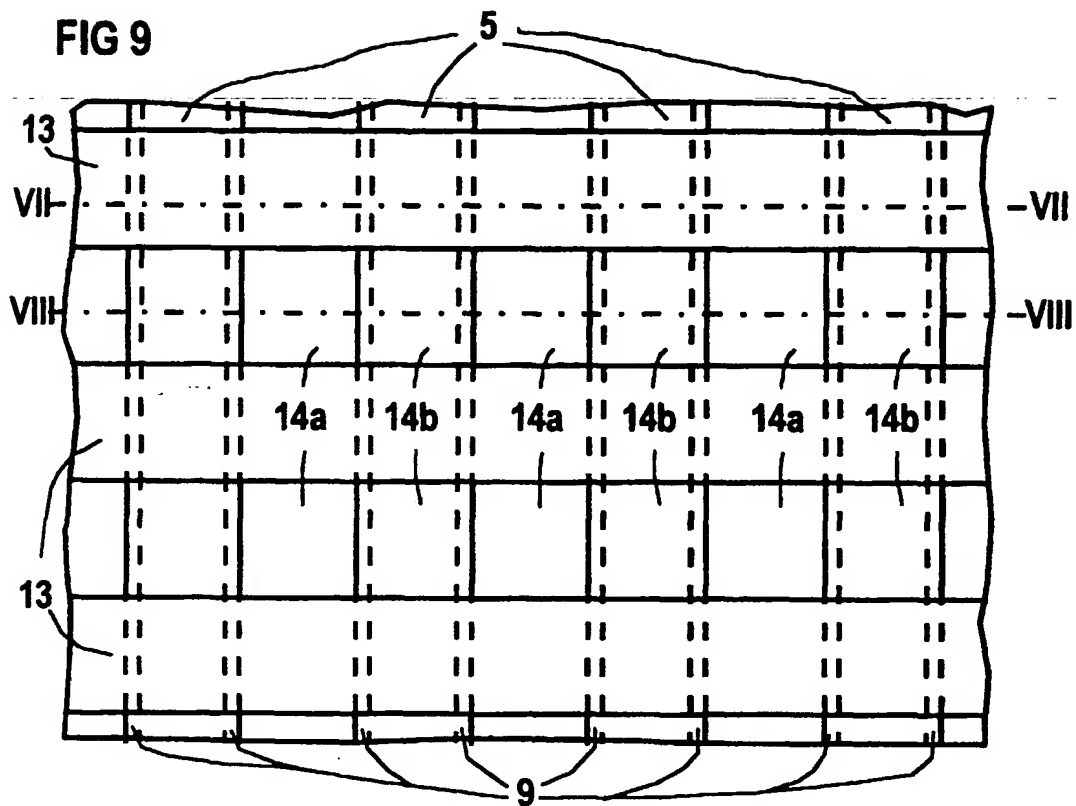


FIG 10

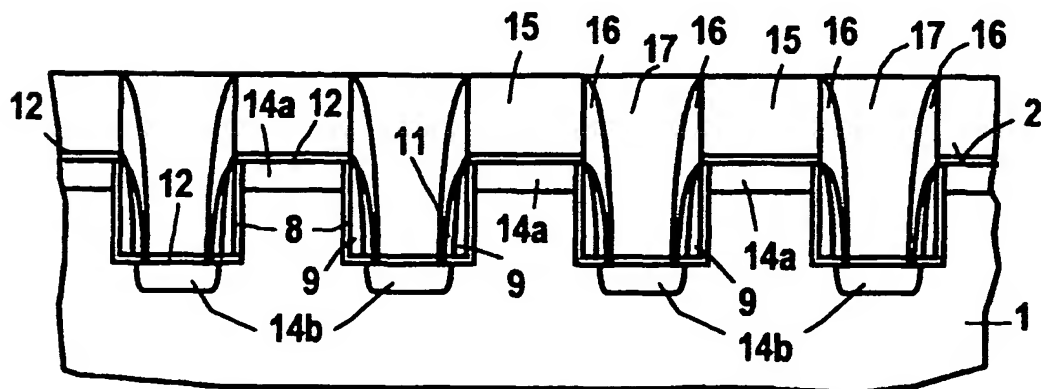


FIG 11

